

4 500 V 沟槽栅 IGBT 芯片的设计与研制

李立^{1,2}, 王耀华^{1,2}, 高明超^{1,2}, 刘江^{1,2}, 金锐^{1,2}

(1. 先进输电技术国家重点实验室, 北京 102209; 2. 全球能源互联网研究院有限公司, 北京 102209)

摘要: 为提升 IGBT 单芯片的电流密度, 掌握高压沟槽栅 IGBT 技术, 进行 4500 V 沟槽栅 IGBT 芯片的研制。使用 TCAD 仿真软件, 对 4500 V 沟槽栅 IGBT 的衬底材料、载流子储存层设计、沟槽宽度、沟槽深度、假栅结构等方面进行研究和仿真分析, 明确各方面设计与芯片性能的关系。根据总体设计目标, 确定相应的芯片结构和工艺参数, 并对 4500 V 沟槽栅 IGBT 芯片进行流片验证。验证结果显示: 4500 V 沟槽栅 IGBT 芯片的测试结果符合设计预期, 芯片的额定电流、导通压降、开通损耗和关断损耗等关键参数相比平面栅 IGBT 芯片有明显优化。

关键词: 沟槽栅; IGBT; 仿真; 衬底; 载流子存储层; 假栅结构

DOI: 10.11930/j.issn.1004-9649.202006300

0 引言

目前, IGBT 器件已经广泛应用于各项柔性直流输电工程。但电力系统用高压大功率 IGBT 器件几乎完全被 ABB、英飞凌和东芝等国际跨国公司所垄断, 严重阻碍了中国电力系统电力电子技术的进步和产业化推进^[1]。

世界上首个具有网络特性的直流电网示范工程——张北可再生能源柔性直流电网示范工程对 IGBT 器件的电流需求高达 3000 A, 未来随着能源结构的变革和柔性直流电网技术的发展, 对 IGBT 器件的电流需求将达到 4000 A 甚至更高。为了提高 IGBT 器件的通流能力, 通常采用以下方法。(1) 通过研究多芯片并联技术, 在单芯片电流能力不变的情况下, 通过增加芯片并联数量提高器件的通流能力, 但同时也会引入多芯片并联一致性的问题;(2) 通过研究 IGBT 芯片新技术, 提高单芯片的电流密度, 从而提升器件的通流能力。随着电压等级的提升, 相同芯片面积情况下, IGBT 的通流能力逐渐减弱, 因此, 研究高压的大电流 IGBT 芯片既是直流电网技术不断发展的迫切需求, 也是 IGBT 器件技术面临的

要挑战^[2]。

IGBT 芯片的通流能力主要由表面结构和体结构共同决定。体结构主要有非穿通型 NPT、软穿通型 SPT 等, 表面结构包括平面栅和沟槽栅等。由于平面栅型 IGBT 难以进一步提高芯片的电流密度, 因此沟槽栅结构是目前国际最新 IGBT 产品的重要技术。沟槽栅技术作为提高芯片电流密度的主要手段, 被国外器件厂商和研究机构密切关注, 目前已在 3300 V 及以下电压等级的 IGBT 器件中广泛应用, 4500 V 及以上电压等级的 IGBT 沟槽栅技术大多还处于开发阶段^[3]。

相比于平面型 IGBT, 采用沟槽栅技术的优势是在保证关断损耗基本不变的情况下, 大幅度降低芯片的通态压降, 目前英飞凌、日立的 IGBT 产品都采用了沟槽栅技术, 美国的仙童(飞兆)半导体以及国际整流器(IR)半导体公司主流 IGBT 产品也都采用了沟槽栅技术, 日本三菱的低压 IGBT 产品采用了沟槽栅技术, 并公开了其在高压沟槽栅 IGBT 器件上的研究成果, 同时 ABB 在 2015 年报道其完成了沟槽栅 IGBT 器件样品的研制^[4-5]。此外, 由于沟槽栅的沟道密度大于平面栅, 在提高电流密度方面有很大的空间。沟槽栅 IGBT 由于其通流能力强、正向导通压降低、损耗小、抗门锁能力强等优点, 已经获得了国内外公司的高度评价, 并且中低压沟槽栅 IGBT 产品已经得到了广泛应用^[6-8]。

收稿日期: 2020-07-06; **修回日期:** 2020-09-22。

基金项目: 国家电网有限公司科技项目(高压沟槽栅型 IGBT 芯片设计与工艺开发技术研究, 5455GB180007)。

国内沟槽栅 IGBT 器件还处于起步阶段，沟槽 IGBT 相关技术研究不够完善，在中低压领域取得了一些成绩，但与国外还有很大的距离，高压领域少有沟槽型 IGBT 相关成果。从当前的发展趋势来看，中国应尽早开始展开高压沟槽栅 IGBT 技术的深入研究，以满足电网领域对大电流芯片的需求。

为加快沟槽栅 IGBT 技术开发，本文自主开发 4 500 V 高压沟槽型 IGBT 元胞关键技术，推进高压 IGBT 芯片和器件的研制，以满足未来柔性直流输电装备不断发展的需求。

1 沟槽栅 IGBT 结构

传统沟槽栅 IGBT 的结构如图 1 所示，其结构主要包括 N 型衬底、缓冲层、沟槽栅、P 阱、载流子存储层（carrier stored layer, CS 层）、发射极、背面集电极等。

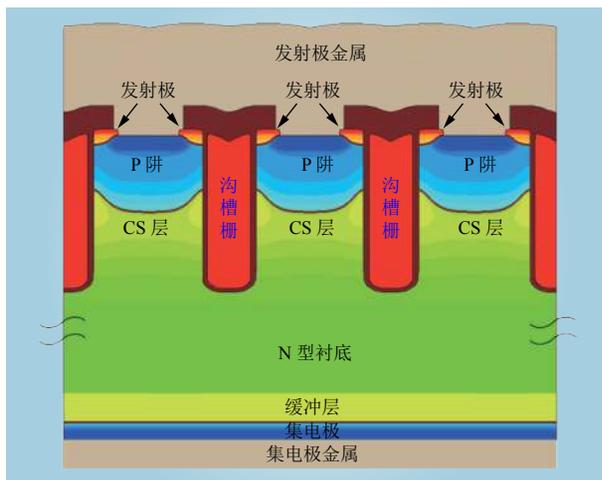


图 1 传统沟槽栅 IGBT 结构

Fig. 1 Structure diagram of traditional trench IGBT

相比于平面栅极 IGBT，沟槽 IGBT 的垂直结构省去了在硅表面上制作导电沟道的面积，更有利于设计紧凑的元胞。即在同等芯片面积上可以制作更多的 IGBT 元胞，从而增加导电沟道的宽度，降低沟道电阻。此外，沟槽型 IGBT 因为沟道垂直消除了 JFET 区域，因而整个电流通路上电阻更低。

因此，沟槽型 IGBT 相比于平面型 IGBT，能在不增加开关损耗的前提下，大幅度降低导通压降，从而优化芯片的总体性能。

2 仿真设计

根据实际应用工况对 IGBT 芯片的性能参数要求，对 4 500 V 沟槽栅 IGBT 芯片进行仿真设计和性能优化。总体设计目标为：额定电压为（ U_{CES} ）为 4 500 V，额定电流（ I_{Cnom} ）为 63 A，电流密度为 60 A/cm²，击穿电压（ U_{BRCES} ）> 5 500 V，导通压降（ U_{CEsat} ）< 2.8 V，阈值电压（ U_{GEth} ）典型值为 6.5 V。

仿真设计内容主要包括衬底材料选择、载流子存储层设计、沟槽栅设计、假栅结构设计、浮置 P 区设计等。

2.1 衬底选择

衬底材料的选择是进行 IGBT 芯片设计的第一步，本文首先对衬底材料的厚度进行拉偏仿真，研究衬底材料厚度对沟槽栅 IGBT 的击穿电压和导通压降的影响，结果如图 2 所示，可以看出，IGBT 的击穿电压与选用的衬底材料厚度成正比，即衬底材料厚度越厚，芯片的击穿电压越高。因此，如果 IGBT 芯片要获得足够的击穿电压，应保证选取具有一定厚度的衬底材料。与此同时，图 2 中的仿真结果还显示，沟槽栅 IGBT 的导通压降同样与衬底材料的厚度成正比，在确定最终采用的衬底材料厚度时需要折中考虑其影响。

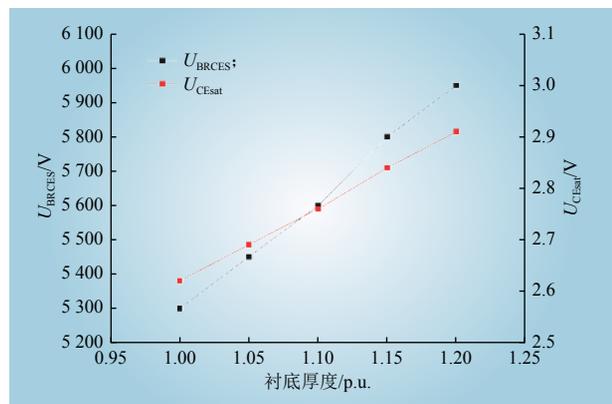


图 2 衬底厚度对 4 500 V 沟槽栅 IGBT 静态参数的影响

Fig. 2 Effect of substrate thickness on static parameters of 4 500 V trench IGBT

衬底电阻率同样对沟槽栅 IGBT 的特性有很大影响，仿真结果如图 3 所示。

由图 3 可知，沟槽栅 IGBT 的击穿电压随着衬底电阻率的升高而增加，但 IGBT 的导通压降随衬底电阻率的变化趋势不明显。这主要由于高压

IGBT 芯片在正向导通时，影响其导通压降的主要因素是 IGBT 的漂移区电阻，所以即使采用不同电阻率参数的衬底材料，只要其背面注入剂量相当，由电导调制效应决定的漂移区电阻也基本处于同一水平。

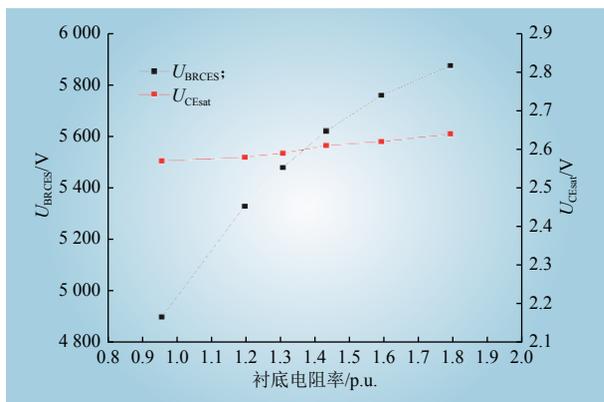


图 3 衬底电阻率对 4500 V 沟槽栅 IGBT 静态参数的影响
Fig. 3 Effect of substrate resistivity on static parameters of 4500 V trench IGBT

2.2 载流子存储层设计

为了进一步改善芯片折中特性，降低芯片的导通压降，4500 V 沟槽栅 IGBT 在元胞结构中引入了 CS 层结构，即在芯片 P 阱区和 N-漂移区之间增加一层具有更高电导率的 N 型层（如图 1 中所示）。

CS 层机理是利用 NN-结之间的扩散电势差，阻碍 N-漂移区中的空穴流出，从而提高了 N-漂移区中载流子的浓度，实现通态电阻及导通压降的减小。与增加 IGBT 背面集电极侧的掺杂浓度不同，CS 层提高了 IGBT 发射极侧的载流子浓度，而 IGBT 背面集电极侧的载流子浓度没有发生变化，因此对 IGBT 的关断损耗影响较小。CS 层结构既适用于平面栅 IGBT，同样也适用于沟槽栅 IGBT。

对 CS 层的注入剂量进行拉偏仿真，不同 CS 注入剂量对应的空穴浓度分布如图 4 所示，其中 A 为注入剂量的归一化单位。由图 4 可以看出，随着 CS 注入剂量的提升，IGBT 正面的空穴浓度有明显提高，而 IGBT 背面的空穴浓度基本维持不变。

对采用不同 CS 注入剂量的芯片进行输出特性曲线仿真，如图 5 所示。由图 5 可以看出，随着 CS

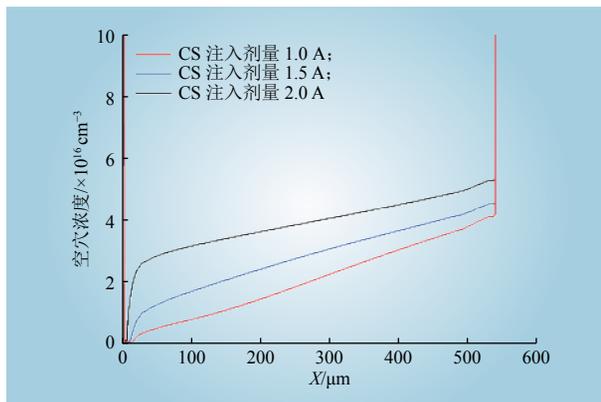


图 4 不同 CS 注入剂量条件下的空穴浓度分布
Fig. 4 Hole concentration distribution under different CS injection dose

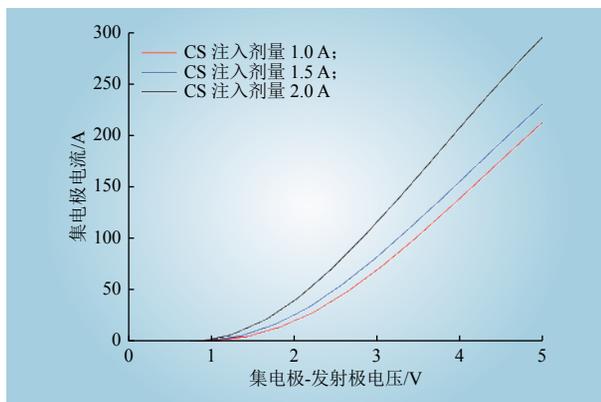


图 5 CS 注入剂量对 4500 V 沟槽栅 IGBT 输出特性曲线的影响
Fig. 5 Effect of CS injection dose on output characteristic curves of 4500 V trench IGBT

注入剂量提升，IGBT 的导通压降呈下降趋势。

CS 层的缺点是会降低芯片的击穿电压。对采用不同 CS 注入剂量的芯片进行击穿特性仿真，仿真结果如图 6 所示。可以看出，当 CS 注入剂量为 2.0 A 时，沟槽的底部和栅氧化层中的电场强度均会有明显增强，这对芯片的击穿电压和可靠性均有不利影响。

对不同 CS 层注入剂量的 IGBT 特性参数进行仿真，包括击穿电压 U_{BRces} 、导通压降 U_{CEsat} 和阈值电压 U_{Geth} ，仿真结果如表 1 所示。如前面分析，随着 CS 注入剂量的增加，IGBT 的击穿电压和导通压降会同时下降。且 IGBT 的阈值电压也随着 CS 注入剂量的增加也会下降，这是由于 CS 层的 N 型注入会补偿部分 P 阱的掺杂，造成沟道区 P 型掺杂浓度的下降。

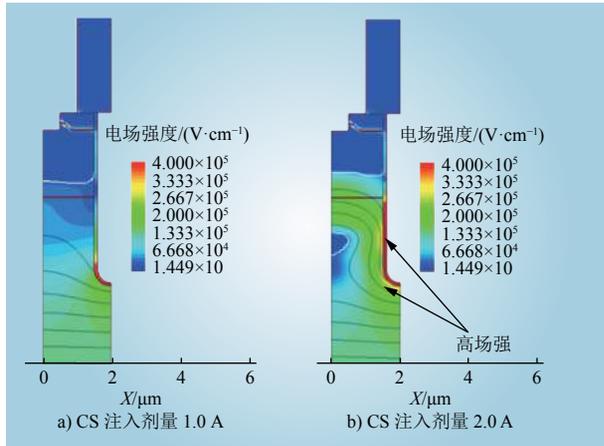


图 6 不同 CS 注入剂量下 IGBT 击穿时的电场强度分布
Fig. 6 Electric field distribution of IGBT breakdown under different CS injection dose

表 1 不同CS注入剂量的 IGBT 特性仿真结果
Table 1 Characteristics simulation results of IGBT with different CS injection dose

CS注入剂量/(A·cm ²)	击穿电压/V	导通压降/V	阈值电压/V
1.0	5770	2.78	6.55
1.5	5520	2.59	6.36
2.0	5310	2.33	6.11

2.3 沟槽栅设计

沟槽栅的具体形貌（如沟槽深度、沟槽宽度、沟槽底部拐角半径、沟槽侧壁角度等）对沟槽栅 IGBT 的性能有重大影响，本文主要仿真研究沟槽深度和沟槽宽度对 4 500 V 沟槽栅 IGBT 性能的影响。

根据芯片加工厂的实际工艺能力，沟槽深度选择 5 个条件进行仿真，仿真结果如图 7 所示，其中 D_T 为沟槽深度的归一化单位。沟槽深度为 $1.0 D_T$ 和沟槽深度 $1.8 D_T$ 的 IGBT 击穿时电场强度对比如图 8 所示。

由图 7 可知，IGBT 的击穿电压与沟槽深度成正比关系，这一结果可由图 8 的仿真结果进行解释。如图 8 所示，沟槽深度 $1.8 D_T$ 相比沟槽深度 $1.0 D_T$ 的结构，IGBT 击穿时沟槽底部的电场强度有明显降低，因此 IGBT 的击穿电压会有一定程度的提高。

从图 7 还可以看出，随着沟槽深度增加，IGBT 的导通压降呈下降趋势，但是沟槽深度大于 $1.6 D_T$ 之后，导通压降的变化趋于不明显。最终选取沟槽深度 $1.6 D_T$ 进行后续的仿真设计。

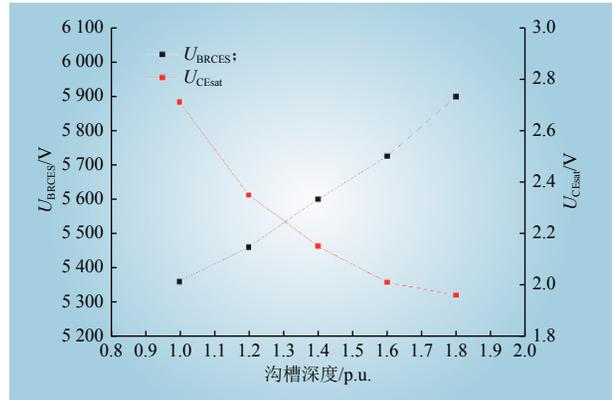


图 7 沟槽深度对 4500 V 沟槽栅 IGBT 静态参数的影响
Fig. 7 Effect of trench depth on static parameters of 4500 V trench IGBT

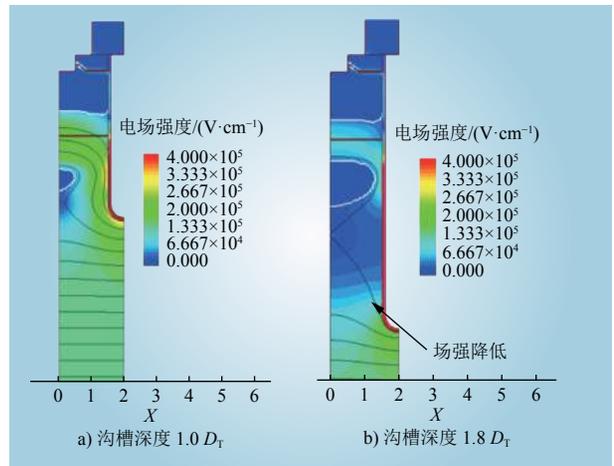


图 8 不同沟槽深度下 IGBT 击穿时的电场强度分布
Fig. 8 Electric field distribution of IGBT breakdown under different trench depth

仿真研究沟槽宽度对沟槽栅 IGBT 静态参数的影响，仿真结果如图 9 所示。可以看出，IGBT 的击穿电压受沟槽宽度的影响较小，而 IGBT 的导通压降随沟槽宽度的增加呈下降趋势。这是由于沟槽栅 IGBT 的击穿电压受沟槽底部场强的直接影响，随着沟槽宽度的增加，其沟槽底部的场强无明显变化。然而在沟槽栅 IGBT 中，沟槽区域的载流子浓度明显高于 P 阱区域的载流子浓度，增加沟槽宽度相当于增大了 IGBT 中沟槽区域的占比，进而增强了 IGBT 芯片总体的电导调制效应，因此随沟槽宽度增加，IGBT 的导通压降呈下降趋势^[9]。

2.4 假栅结构设计

沟槽型 IGBT 沟道密度高，降低了沟道电阻，提高了电子电流的比例，降低了导通压降，但随

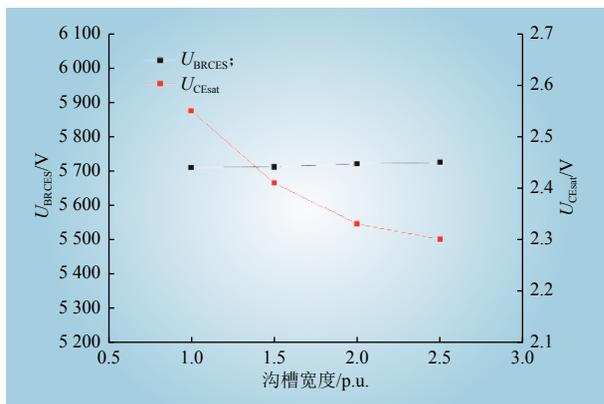


图 9 沟槽宽度对 4500 V 沟槽栅 IGBT 静态参数的影响
Fig. 9 Effect of trench width on static parameters of 4500 V trench IGBT

之而来的缺点是会增大短路电流。最不利的情况是，IGBT 的短路电流非常大，以至于 IGBT 发生短路时在非常短的时间内就会损坏。降低短路电流的方式通常采用假栅技术，如图 10 所示。

假栅技术有明显的技术优势，可以将沟槽尺寸进一步做小，更利于优化 IGBT 芯片的折中特性；减小沟道密度，降低 IGBT 芯片的短路电流^[10-12]。但关于假栅结构到底是接地还是接回到栅极电位，需要进一步对比研究。

对假栅结构接地和接栅极电位进行对比仿真，结果如图 11 所示，其中 IGBT 不同的导通压降是通过调节 IGBT 背面 P+注入剂量得到。由图 11 可知，假栅接地相比假栅接栅极电位的 IGBT 结构具有更低的开通损耗。这是由于假栅接地的 IGBT 结构具有更低的密勒电容，因此其开通速度更快。

采用假栅结构的沟槽栅 IGBT 通常还会引入一个 P 基区，P 基区会影响沟道区的电位，进而影响器件的特性，且假栅区域 P 基区浮空或接地对沟槽栅 IGBT 的导通特性也产生一定影响^[13-15]。如果 IGBT 假栅区域的 P 基区接地，IGBT 关断时从集电极注入 N-漂移区的空穴除了从假栅底部流向发射极外，还可以通过 P 基区直接流向发射极。如果假栅 P 基区浮空，N-漂移区中的空穴只能通过假栅底部流向发射极，一定程度上会增强沟道区的电流。因此，P 基区浮空的沟槽栅 IGBT 能在 N 型发射极一侧积累更高浓度的空穴^[16-20]。

通过对 P 基区接地和 P 基区浮空进行对比仿真，得到仿真结果如图 12 所示，其中 IGBT 不同

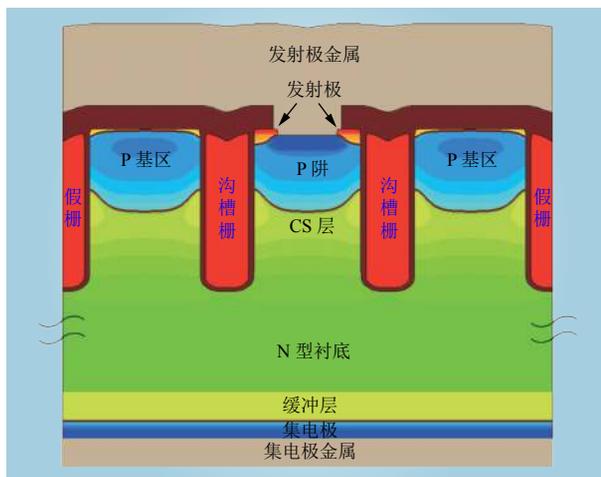


图 10 采用假栅结构的沟槽栅 IGBT 剖面示意
Fig. 10 Cross-section schematic diagram of the trench gate IGBT with dummy trench structure

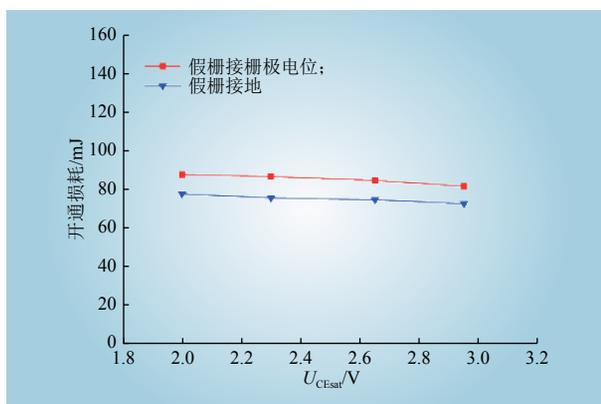


图 11 假栅连接方式对 4500 V 沟槽栅 IGBT 参数的影响
Fig. 11 Effect of dummy trench connection type on parameters of 4500 V trench IGBT

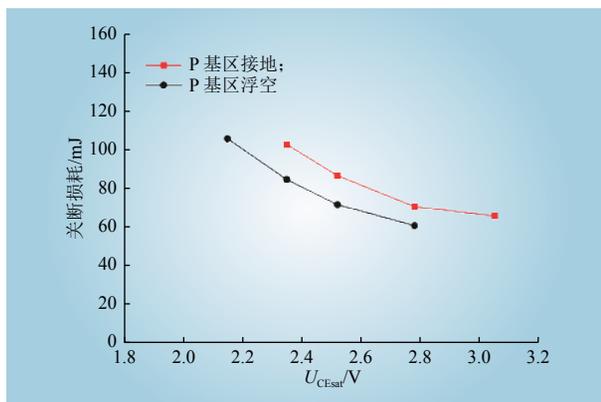


图 12 P 基区连接方式对 4500 V 沟槽栅 IGBT 参数的影响
Fig. 12 Effect of P-base region connection type on parameters of 4500 V trench IGBT

的导通压降同样是通过调节背面 P+注入剂量得到。仿真结果显示，P 基区浮空相比 P 基区接地

的设计具有更优的折中特性，更值得优先选择。

3 流片验证

通过以上对 4 500 V 沟槽栅 IGBT 的仿真，根据总体设计目标，确定了衬底掺杂浓度、衬底厚度、CS 层注入剂量、沟槽深度、沟槽宽度、假栅结构等具体设计，对 4 500 V 沟槽栅 IGBT 芯片进行了流片验证。

4 500 V 沟槽栅 IGBT 的流片测试结果与 4 500 V 平面栅 IGBT 芯片的测试结果对比如表 2 所示。可以看出，相比平面栅 IGBT，沟槽栅 IGBT 的击穿电压和阈值电压有所变化，但仍在设计规格范围内。沟槽栅 IGBT 的额定电流、导通压降、开通损耗、关断损耗均有所优化，但沟槽栅 IGBT 的短路电流相比平面栅 IGBT 增大较明显，后续还需要通过增加假栅结构比例和调整元胞尺寸等方法对 IGBT 的短路电流进行优化。

表 2 4 500 V 沟槽栅 IGBT 与平面栅 IGBT 测试结果对比

Table 2 Comparison of test results between 4 500 V trench IGBT and planar IGBT

类型	击穿电压 U_{BRCES}/V	额定电流 I_{Cnom}/A	导通压降 U_{CEsat}/V	阈值电压 U_{GEth}/V	开通损耗 E_{on}/mJ	关断损耗 E_{off}/mJ	短路电流 I_{SC}/A
平面栅IGBT	6050	50	2.85	6.3	149	126	245
沟槽栅IGBT	5600	63	2.55	6.5	132	89	360

4 结论

(1) 使用 TCAD 仿真软件对 4 500 V 沟槽栅 IGBT 的衬底材料、载流子储存层设计、沟槽栅宽度、沟槽栅深度、假栅结构等方面进行了仿真设计和原理分析。

(2) 根据总体设计目标，确定了相应的芯片结构和工艺参数，并对 4 500 V 沟槽栅 IGBT 芯片进行了流片加工。

(3) 对设计的 4 500 V 沟槽栅 IGBT 芯片进行了特性测试。流片测试结果显示，本文设计的 4 500 V 沟槽栅 IGBT 芯片符合设计要求，芯片的额定电流、导通压降、开通损耗和关断损耗等关键参数相比平面栅 IGBT 芯片有明显优势。

参考文献：

- [1] QIU Y F, DAI C B, JIN R. Impact of power electronic device development on power grids[C]//2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2016. Prague: IEEE, 321–326.
- [2] 于坤山, 谢立军, 金锐. IGBT 技术进展及其在柔性直流输电中的应用[J]. 电力系统自动化, 2016, 40(6): 139–143.
YU Kunshan, XIE Lijun, JIN Rui. Recent development and application prospects of IGBT in flexible HVDC power system[J]. Automation of Electric Power Systems, 2016, 40(6): 139–143.
- [3] KENJI S, TETSUO T, RYOICHI F, *et al.* A new 1.7 kV CSTBT(III)TM for the next generation power module[C]//PCIM Europe 2010. US: Curran Associates, Inc, 227–331.
- [4] ANTONIOU M, LOPHITIS N, UDREA F, *et al.* Experimental demonstration of the p-ring FS+ Trench IGBT concept: a new design for minimizing the conduction losses[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Hong Kong, China. IEEE, 2015: 21–24.
- [5] ANTONIOU M, LOPHITIS N, BAUER F, *et al.* Novel approach toward plasma enhancement in trench-insulated gate bipolar transistors[J]. IEEE Electron Device Letters, 2015, 36(8): 823–825.
- [6] KAMIBABA R, KONISHI K, FUKADA Y, *et al.* Next generation 650 V CSTBTM with improved SOA fabricated by an advanced thin wafer technology[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Hong Kong, China. IEEE, 2015: 29–32.
- [7] HU J, BOBDE M, YILMAZ H, *et al.* Trench shielded planar gate IGBT (TSPG-IGBT) for low loss and robust short-circuit capability[C]//2013 25th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Kanazawa, Japan. IEEE, 2013: 25–28.
- [8] MORI M, OYAMA K, KOHNO Y, *et al.* A trench-gate high-conductivity IGBT (HiGT) with short-circuit capability[J]. IEEE Transactions on Electron Devices, 2007, 54(8): 2011–2016.
- [9] 刘江, 高明超, 朱涛, 等. 3 300V 沟槽栅 IGBT 的衬底材料的优化设计[J]. 半导体技术, 2017, 42(11): 855–859, 880.
LIU Jiang, GAO Mingchao, ZHU Tao, *et al.* Optimum design of substrate materials for the 3 300 V trench gate IGBT[J].

- Semiconductor Technology, 2017, 42(11): 855–859, 880.
- [10] ZHU C L, DEVINY I, DAI X P, *et al.* A floating dummy trench gate IGBT (FDT-IGBT) for hybrid and electric vehicle (HEV/EV) applications[C]//2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe). Warsaw, Poland. IEEE, 2017: P.1–P.7.
- [11] 罗海辉, 肖强, 余伟, 等. 假栅 P 区互联对沟槽栅 IGBT 性能的影响 [J]. 机车电传动, 2016(3): 41–45.
- LUO Haihui, XIAO Qiang, YU Wei, *et al.* Effect of P-well interconnection in dummy trench area on properties of trench IGBT[J]. Electric Drive for Locomotives, 2016(3): 41–45.
- [12] KEVIN L, SUNGMIN Y, SEKYEONG L, *et al.* Fourth-generation field stop IGBT with high-performance and enhanced latch-up immunity[C]//PCIM ASIA 2015 International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Shanghai, China. 2015: 341–346.
- [13] NIEDERNOSTHEIDE F J, SCHULZE H J, LASKA T, *et al.* Progress in IGBT development[J]. IET Power Electronics, 2018, 11(4): 646–653.
- [14] NITTA T, UENISHI A, MINATO T, *et al.* A design concept for the low forward voltage drop 4500 V trench IGBT[C]//Proceedings of the 10th International Symposium on Power Semiconductor Devices and ICs. ISPSD'98 (IEEE Cat. No.98CH36212). Kyoto, Japan. IEEE, 1998: 43–46.
- [15] MUNAF R, MAXI A, LIUTAUROS S, *et al.* Demonstration of an enhanced trench bimode insulated gate transistor ET-IGBT[C]//International Symposium on Power Semiconductor Devices & Ics, 2016. Prague: IEEE, 151–154
- [16] IWAMURO N, LASKA T. IGBT history, state-of-the-art, and future prospects[J]. IEEE Transactions on Electron Devices, 2017, 64(3): 741–752.
- [17] MUELLER A, PFIRSCH F, SILBER D. Trench IGBT behaviour near to latch-up conditions[C]//The 17th International Symposium on Power Semiconductor Devices and ICs, 2005. Santa Barbara : IEEE, 255–258.
- [18] TOECHTERLE C, PFIRSCH F, SANDOW C, *et al.* Analysis of the latch-up process and current filamentation in high-voltage trench-IGBT cell arrays[C]//2013 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD). Glasgow, UK. IEEE, 2013: 296–299.
- [19] ANTONIOU M, UDREA F, BAUER F, *et al.* Point injection in trench insulated gate bipolar transistor for ultra low losses[C]//2012 24th International Symposium on Power Semiconductor Devices and ICs. Bruges, Belgium. IEEE, 2012: 21–24.
- [20] BALIGA B J. Power MOSFETs[M]//Fundamentals of Power Semiconductor Devices. Boston, MA: Springer US, 2008: 276–503.

作者简介:

李立 (1989—), 男, 通信作者, 硕士, 工程师, 从事功率半导体芯片研究, E-mail: lili@geiri.sgcc.com.cn.

(责任编辑 吴恒天)

Design and Development of 4500 V Trench Gate IGBT

LI Li^{1,2}, WANG Yaohua^{1,2}, GAO Mingchao^{1,2}, LIU Jiang^{1,2}, JIN Rui^{1,2}

(1. State Key Laboratory of Advanced Power Transmission Technology, Beijing 102209, China;

2. Global Energy Interconnection Research Institute Co., Ltd., Beijing 102209, China)

Abstract: In this paper, a 4500 V trench gate IGBT chip was developed, so as to improve the single chip current density as well as to master the technology of high voltage trench gate IGBT. Using the TCAD simulation software, experiments were carried out on the aspects of the substrate material, carrier stored layer design, trench width, trench depth and dummy trench gate structure, whose impacts on the chip performance were analyzed. According to the overall design goal, the chip structure and process parameters were determined, and the 4500 V trench gate IGBT chip was fabricated and verified. The test results of 4500 V trench gate IGBT chip can meet the design expectation, and its key parameters, such as rated current, saturation voltage, turn-on switching energy and turn-off switching energy, have been significantly improved compared with the planar gate IGBT chip.

This work is supported by Science and Technology Project of SGCC (Research on Design and Technology Development of High Voltage Trench Gate IGBT Chip, No.5455GB180007).

Keywords: trench gate; IGBT; simulation; substrate; carrier stored layer; dummy trench